



How low can we go?



Intellectual Property Network

To Search & Research

[Home](#) | [Search](#) | [Order](#) | [Shopping Cart](#) | [Login](#) | [Site Map](#) | [Help](#)

Patent Plaques

JP2256216A2: MULTILAYER CAPACITOR AND ELECTRONIC PAD STRUCTURE CONTAINING THE CAPACITOR

[No Image](#) | [View INPADOC only](#)
Country: **JP** Japan

Kind:

Inventor(s): **ARNOLD ALLEN J**
BARIETHER MICHAEL E
CHIANG SHIN-WU
DALAL HORMAZDYAR M
MILLER ROBERT A
MONTEGARI FRANK A
OBERSCHMIDT JAMES M
SHEN DAVID T

Applicant(s): **INTERNATL BUSINESS MACH CORP <IBM>**
[News, Profiles, Stocks and More about this company](#)

Issued/Filed Dates: **Oct. 17, 1990 / June 19, 1989**Application Number: **JP1989000154815**IPC Class: **H01G 4/12; H01G 4/30;**Priority Number(s): **June 27, 1988 US1988000212361**

Abstract: **Purpose:** To obtain a capacitor requiring no densely provided tabs in lateral direction by a method wherein a conductive plate part has a tab protruding at least to an edge of the conductive plate part, and thin layers are divided into groups having the same number of tabs on the same position.

Constitution: A multilayer capacitor 10 has a plurality of thin layers and each layer 12 is composed of a conductive plate part 14 and a non-conductive sheet part 16. At least a non-conductive sheet part 18, having no conductive plate part, is provided on each end part of the multilayer capacitor 10, the conductive plate part 14 has at least a tab 20, and the tab 20 is protruded toward a surface end part 32. In this case, the formation of excessively densed paths in lateral direction can be prevented by limiting the maximum number of tabs 20 per conductive part 14.
 COPYRIGHT: (C)1990,JPO

Family:

Summary



[Show 28 known family members](#)

Other Abstract Info: DERABS G89-172881

Foreign References: (No patents reference this one)



[Nominate this invention for the Gallery...](#)

Alternative Searches



[Patent Number](#)



[Boolean Text](#)



[Advanced Text](#)

Browse



[U.S. Class by title](#)



[U.S. Class by number](#)



[IBM Technical Disclosure Bulletin](#)

[Privacy](#) | [Legal](#) | [Gallery](#) | [IP Pages](#) | [Advertising](#) | [FAQ](#) | [Contact Us](#)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平2-256216

⑫ Int.Cl.⁶

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)10月17日

H 01 G 4/12
4/303 5 2
3 0 1 Z7924-5E
7048-5E

審査請求 有 請求項の数 4 (全11頁)

⑭ 発明の名称 多層キャパシタ及び前記キャパシタを含む電子部品構造体

⑮ 特 願 平1-154815

⑯ 出 願 平1(1989)6月19日

優先権主張 ⑰ 1988年6月27日 ⑱ 米国(U S) ⑲ 212361

⑳ 発 明 者 アレン・ジョセフ・アーノルド アメリカ合衆国ニューヨーク州ラグラングヴァレ、アーノルド
 ㉑ 発 明 者 マイケル・エリック・バリーザー アメリカ合衆国ニューヨーク州ラグラングヴァレ、エス・ミス・ロード、アール・アール1番地
 ㉒ 出 願 人 インターナショナル・ビジネス・マシーンズ・コーポレーション アメリカ合衆国10504、ニューヨーク州 アーモンク(番地なし)
 ㉓ 代 理 人 弁理士 山本 仁朗 外1名
 最終頁に続く

明 細 書

1 発明の名称

2. 多層キャパシタ及び前記キャパシタを含む電子部品構造体

2. 特許請求の範囲

(1) 夫々が導電プレート部と非導電シート部とから成る複数の層を備え、

前記導電プレート部は該導電プレート部の少なくとも1つのエッジへと突出する少なくとも1つのタブを有し、

前記層は同じ数で同じ位置のタブを有するグループ毎に分けられ、

前記層は、(a) 1つのグループからの層と別のグループからの層とが交互になり、(b) 各層の導電プレート部は隣接する層の非導電シート部と接触し、(c) 各層のタブは同じエッジ側に位置して交互に差しはさまれている層のタブがタブの列を形成するようにし、そして、(d) 隣接する層のタブの位置が互いに整うことがないようにし、

タブの各列を被覆するようにタブの選択されたグループに結合する金属のアイランドを備えている、

多層キャパシタ。

(2) 夫々が導電プレート部と非導電シート部とから成る複数の層を備え、

前記導電プレート部は該導電プレート部の少なくとも1つのエッジへと突出する少なくとも1つのタブを有し、

前記層は同じ数で同じ位置のタブを有する2つのグループに分けられ、

前記層は、(a) 1つのグループからの層と別のグループからの層とが交互になり、(b) 各層の導電プレート部は隣接する層の非導電シート部と接触し、(c) 各層のタブは同じエッジ側に位置して交互に差しはさまれている層のタブがタブの列を形成するようにし、そして、(d) 隣接する層のタブの位置が互いに整うことがないようにし、

タブの各列を被覆するようにタブの選択された

特開平2-256216 (2)

グループに結合する金属のアイランドを備えている。

多層キャパシタ。

(3) 電子部品にはんだ結合するためのパッドを有するセラミック基板と、前記電子部品としての多層キャパシタと、を備えた電子部品構造体であって、

前記に多層キャパシタは、

夫々が導電プレート部と非導電シート部とから成る複数の薄層を備え、

前記導電プレート部は該導電プレート部の少なくとも1つのエッジへと突出する少なくとも1つのタブを有し、

前記薄層は同じ数で同じ位置のタブを有するグループ毎に分けられ、

前記薄層は、(a) 1つのグループからの薄層と別のグループからの薄層とが交互になり、(b) 各薄層の導電プレート部は隣接する薄層の非導電シート部と接触し、(c) 各薄層のタブは同じエッジ側に位置して交互に差しはさまれている薄層のタブがタブの列を形成するようにし、そして、(d)

前記導電プレート部は該導電プレート部の少なくとも1つのエッジへと突出する少なくとも1つのタブを有し、

前記薄層は同じ数で同じ位置のタブを有する2つのグループに分けられ、

前記薄層は、(a) 1つのグループからの薄層と別のグループからの薄層とが交互になり、(b) 各薄層の導電プレート部は隣接する薄層の非導電シート部と接触し、(c) 各薄層のタブは同じエッジ側に位置して交互に差しはさまれている薄層のタブがタブの列を形成するようにし、そして、(d) 隣接する薄層のタブの位置が互いに整うことがないようにし、

タブの各列を被覆するようにタブの選択されたグループに結合する金属のアイランドを備え、

前記キャパシタを前記基板に接続するための付加的金属部であって、前記各アイランドを被覆するはんだパッドを有する付加的金属部を備えており、

前記基板のパッドを前記キャパシタのはんだパ

ッドがタブの列を形成するようにし、そして、(d) 隣接する薄層のタブの位置が互いに整うことがないようにし、

タブの各列を被覆するようにタブの選択されたグループに結合する金属のアイランドを備え、

前記キャパシタを前記基板に接続するための付加的金属部であって、前記各アイランドを被覆するはんだパッドを有する付加的金属部を備えており、

前記基板のパッドを前記キャパシタのはんだパッドに接触させることにより前記基板に前記キャパシタが結合されている。

電子部品構造体。

(4) 電子部品にはんだ結合するためのパッドを有するセラミック基板と、前記電子部品としての多層キャパシタと、を備えた電子部品構造体であって、

前記に多層キャパシタは、

夫々が導電プレート部と非導電シート部とから成る複数の薄層を備え、

パッドに接触させることにより前記基板に前記キャパシタが結合されている。

電子部品構造体。

3. 発明の詳細な説明

A. 産業上の利用分野

本発明は、共通の面で終了する複数のキャパシタ・プレート部を有する多層セラミック・キャパシタに係り、更に詳しくは、使用可能範囲が広くて製造も容易な多層キャパシタに関する。

B. 従来技術

データ処理装置の設計において常に目的とされることは、動作速度が大きく、物理的寸法が小さく、製造コストが低いということである。

集積回路技術の発展は、こうした目的を満足させて来た。スイッチング速度をより大きくしようとして、回路設計者達は、信号線にノイズを侵入させないで半導体チップに電力を供給する電源を横切る低いインピーダンス・パスを与える減結合キャパシタを用いて来た。ノイズが侵入されると、計算機能の誤りの原因となる。このような減結合

キャパシタはディスクリートであり、即ち、チップから分離されている。しかしながら、集積回路の利点を享受しようとするために、回路設計者等は、小さな寸法で大きな容量を有し、速度が大きく（応答性が良く）、低インダクタンスで、低抵抗で、製造コストの低いディスクリート・キャパシタを求めて来た。

このような要求に応えるものとして今日しばしば提案されているのが多層セラミック・キャパシタである。このキャパシタは一体的に積層された一連の平行プレートから成っている。平行プレートの夫々はセラミック誘電材と金属プレートとから成っている。更宜上、セラミック誘電材に単にメタライゼーションが施されて各平行プレートが形成されてもよい。各金属プレートは1つあるいは横方向に間隔をあけて設けられた複数のタブ（凸部、突出部、あるいはつまみ部）を有し、それらは縦方向のタブ列を形成するように同じ側壁部で終了していてもよいし、いなくともよい。各タブ列は短絡バーあるいは電極により互いに接続

7)においては、4つの異なる電圧間を減結合することが望まれる。各プレートは唯1つの電圧に割り当てられ、各タブ列は唯1つの電圧に割り当てられている。横方向に間隔を設けて配置された11個のタブが必要になる。IBM TDB, Vol. 26, No 9, 2月1984年 (p. 4489) 及び同、Vol. 26, No 10 B, 3月1984年 (p. 5325) にはこの種のキャパシタにつながる横方向の密集した経路が示されている。これらのTDBには、タブがキャパシタの2つの共通側壁から現われることが示されており、一方の側壁は基板への接続のためであり、他方の側壁は試験等のためのものである。

米国特許第4419714号には、タブと短絡バーとの位置ずれを修正する方法が示されている。この方法はキャパシタ表面に溝を設けてタブを位置合わせしたり、各タブの位置ずれした部分を無くしたりする。同米国特許は横方向の密集した経路自体を無くす方法を示してはいない。また、この米国特許の方法は、1つのプレートは1つの電圧

されている。チップへの最終的な接続は、便宜上、表面マウンティング方法、あるいは、より好ましくは、ソルダー・ボールを用いるフリップ・チップ・マウンティング方法により行なわれてもよい。この方法については、例えば、米国特許第4349862号に記載されている。この方法に代えて、米国特許第4430690号に記載されているような、ソルダー・ボールのアレイを用いる方法が用いられてもよい。

多層セラミック・キャパシタについては、例えば、米国特許第3398326号及び同第4590537号にも記載され、これらにおいては、短絡バーあるいは電極は各列の全てのタブに接続されている。

これらの多層セラミック・キャパシタに共通する特徴は、各プレートは唯1つの電圧に割り当てられ、各タブ列もまた唯1つの電圧に割り当てられていることである。例えば、IBM Technical Disclosure Bulletin, (TDB), vol. 26, No 12, 5月1984年 (pp. 6595-659

に割り当てられ、各タブ列もまた1つの電圧に割り当てられているものと考えられる。

C. 発明が解決しようとする問題点

本発明の目的は、タブを横方向に密集して設ける必要のないキャパシタを提供することである。他の目的は、複数の割り当て電圧を採用可能にして各タブ列が2以上の電圧に割り当てられるようなキャパシタを提供することである。

更に他の目的は、高速、低コスト、小型のキャパシタを提供することである。

更に他の目的は、低インダクタンス、低抵抗、大容量のキャパシタを提供することである。

D. 問題点を解決するための手段

本発明の1つの構成は、

夫々が導電プレート部と非導電シート部とから成る複数の層を備え、

前記導電プレート部は該導電プレート部の少なくとも1つのエッジへと突出する少なくとも1つのタブを有し、

前記層層は同じ数で同じ位置のタブを有するグ

特開平2-256216 (4)

ループ毎に分けられ、

前記薄層は、(a)1つのグループからの薄層と別のグループからの薄層とが交互になり、(b)各薄層の導電プレート部は隣接する薄層の非導電シート部と接触し、(c)各薄層のタブは同じエッジ側に位置して交互に差しはさまれている薄層のタブがタブの列を形成するようにし、そして、(d)隣接する薄層のタブの位置が互いに整うことがないようにし、

タブの各列を被覆するようにタブの選択されたグループに結合する金属のアイランドを備えている、

多層キャパシタである、

本発明の別の構成は、

夫々が導電プレート部と非導電シート部とから成る複数の薄層を備え、

前記導電プレート部は該導電プレート部の少なくとも1つのエッジへと突出する少なくとも1つのタブを有し、

前記薄層は同じ数で同じ位置のタブを有する2

前記導電プレート部は該導電プレート部の少なくとも1つのエッジへと突出する少なくとも1つのタブを有し、

前記薄層は同じ数で同じ位置のタブを有するグループ毎に分けられ、

前記薄層は、(a)1つのグループからの薄層と別のグループからの薄層とが交互になり、(b)各薄層の導電プレート部は隣接する薄層の非導電シート部と接触し、(c)各薄層のタブは同じエッジ側に位置して交互に差しはさまれている薄層のタブがタブの列を形成するようにし、そして、(d)隣接する薄層のタブの位置が互いに整うことがないようにし、

タブの各列を被覆するようにタブの選択されたグループに結合する金属のアイランドを備え、

前記キャパシタを前記基板に接続するための付加的金属部であって、前記各アイランドを被覆するはんだパッドを有する付加的金属部を備えており、

前記基板のパッドを前記キャパシタのはんだパ

つのグループに分けられ、

前記薄層は、(a)1つのグループからの薄層と別のグループからの薄層とが交互になり、(b)各薄層の導電プレート部は隣接する薄層の非導電シート部と接触し、(c)各薄層のタブは同じエッジ側に位置して交互に差しはさまれている薄層のタブがタブの列を形成するようにし、そして、(d)隣接する薄層のタブの位置が互いに整うことがないようにし、

タブの各列を被覆するようにタブの選択されたグループに結合する金属のアイランドを備えている、

多層キャパシタである、

本発明の更に別の構成は、

電子部品にはんだ結合するためのパッドを有するセラミック基板と、前記電子部品としての多層キャパシタと、を備えた電子部品構造体であって、

前記多層キャパシタは、

夫々が導電プレート部と非導電シート部とから成る複数の薄層を備え、

パッドに接触させることにより前記基板に前記キャパシタが結合されている、

電子部品構造体である、

本発明の更に別の構成は、

電子部品にはんだ結合するためのパッドを有するセラミック基板と、前記電子部品としての多層キャパシタと、を備えた電子部品構造体であって、

前記多層キャパシタは、

夫々が導電プレート部と非導電シート部とから成る複数の薄層を備え、

前記導電プレート部は該導電プレート部の少なくとも1つのエッジへと突出する少なくとも1つのタブを有し、

前記薄層は同じ数で同じ位置のタブを有する2つのグループに分けられ、

前記薄層は、(a)1つのグループからの薄層と別のグループからの薄層とが交互になり、(b)各薄層の導電プレート部は隣接する薄層の非導電シート部と接触し、(c)各薄層のタブは同じエッジ側に位置して交互に差しはさまれている薄層のタ

特開平2-256216 (5)

ブがタブの列を形成するようにし、そして、(d)隣接する薄層のタブの位置が互いに整うことがないようにし、

タブの各列を被覆するようにタブの選択されたグループに結合する金属のアイランドを備え、

前記キャパシタを前記基板に接続するための付加的金属部であって、前記各アイランドを被覆するはんだパッドを有する付加的金属部を備えており、

前記基板のパッドを前記キャパシタのはんだパッドに接触させることにより前記基板に前記キャパシタが結合されている、

電子部品構造体である。

E. 実施例

第1から4図には本発明に係る多層キャパシタの一実施例が示されている。図中、多層キャパシタ10は複数の薄層に(第3図)を有し、各薄層12は導電プレート部14と非導電シート部16とから成っている。多層キャパシタ10の各端部においては、導電プレート部を有さないような少

薄層22及び28と比較すると、非導電シート部上における導電プレート部が互いに異なっていることが分かる。第3図には2つのグループしか示されないが、3つ以上のグループがあってもよい。異なるグループの数は種々のタブの過剰な横方向密集を避けるために制限される。第3図には、全ての導電プレート部が2つのタブを有する例が示されているが、タブの数は2つに限られず、少なくとも1つあればよい。

薄層22で表わされるような1つのグループと薄層28で表わされるようなもう1つのグループとが交互になるように、薄層12は差しはさまれている。各薄層の導電プレート部は隣接する薄層の非導電シート部に接触している。例えば、薄層28の導電プレート部29は薄層22の非導電シート部27に接触している。各薄層22のタブ20は各薄層12の共通端部32に設けられ、差しはさまれた薄層のタブがタブの列を形成するようになっている(第1図)。隣りのタブ20とは互いに一致しないようになっている(第4図)。

なくとも1つの非導電シート部18が設けられている。勿論、複数の非導電シート部18が設けられていてもよい。導電プレート部14は少なくとも1つのタブ20を有し、タブ20は表面端部32へと突出している。本発明の重要な特徴は、導電プレート部14当りのタブ20の最大の数が制限されることにより横方向の過剰に密集した経路が回避されるようになっている事である。

薄層には異なるグループに分けられる。同じグループ内の薄層にはタブ20の数も位置も同じであり、異なるグループの薄層12は少なくとも1つのタブ20の位置が異なっている。即ち、第3図において、薄層22で表わされる薄層の1つのグループがあり、薄層22は導電プレート部14の最右端側に1つのタブ24を有し、それから横方向に間隔をあけてもう1つのタブ26を有している。薄層28で表わされる第2のグループがあり、薄層28は導電プレート部14の最左端側にタブ30を有し、それから横方向に間隔をあけてもう1つのタブ31を有している。各グループの

多層キャパシタ10は金属(メタルジー)のアイランド34を有し、この金属アイランド34は各列のタブ20の選択的グループに結合してアイランド34がタブの各列の1つの部分をカバーするようになっている。アイランド34がタブの各列の1つの部分しかカバーせず且つタブの全ての部分をカバーすることが好ましい(第1図参照)。各アイランド34は隣りのアイランド34との間に間隔が設けられている。タブ列の1つの全体が一線に結合されることが望ましい場合もある。タブ列の全ての一部だけをアイランド34がカバーするような構造も本発明に含まれる。

第2図には第1図の実施例の変形型が示されている。第1図の実施例では、同一若しくは近似したタブのグループが金属のアイランドにより結合されているが、第2図の実施例では、タブのグループが部分的に組み合わせられ、柔軟性においては制約されるが、より多くのプレートとの接点設けられるようになっている。第2図の実施例により、アイランド34の大きさ従って接続されるタ

特開平2-256216 (6)

ブの数がシステムに適するように変更されることが示されている。第1図の実施例は、低インダクタンスである点で好ましい。この低インダクタンスは、各アイランドを出入りする縦方向の電流が隣りのアイランドとの間で方向を変える事に因り生じる。

従来は各タブ列は1つの電圧にしか割り当てられなかったが、タブの選択されたグループに沿った金属アイランド34の夫々は、どのような特別のあるいは所定の電圧レベルにも割り当てられるようになった。

例えば、第1図に示されるように、16個の異なるアイランド34があったとする。多層キャパシタ10についての余裕度(冗長性)を設けるために各導電プレート部14が2つのタブを持っているので、第1図の多層キャパシタ10は8つの異なる電圧レベルに割り当てられ得る。これは、タブを横方向に密集させることなくして達成される。もし、余裕度が要求されないのであれば、タブを横方向に密集させることなく、16個の異なる電

圧レベルに多層キャパシタ10を割り当てることができる。

同様に、第2図においては、12個の異なるアイランドが設けられている。余裕度が求められるのであれば、第2図の多層キャパシタ10が6つの異なる電圧レベルに割り当てられてもよい。余裕度が不要なら、横方向の密集を生じさせることなく、12の異なる電圧レベルに割り当てることができる。

従来のキャパシタが唯一つの特別な応用にしか用いられ得なかったのに対し、本発明のキャパシタは多くの応用に適用し得る。

もう1つの利点は既述のようにインダクタンスが低いことであり、本発明によれば、通常、100ピコ・ヘンリーよりも低いインダクタンスである。

冗長性を持たせるために1つの導層について少なくとも2つのタブを有することが好ましい。1つの導層についてのタブの最大数は設計的事柄、製造技術、及びキャパシタの大きさによってのみ

制限される。ここでは、タブが2つの例を示しているが、他の数であってもよい。

異なる導層のグループの数が前述の例とは異なってもよい。導層のグループ毎の相違点は、タブの横方向の間隔や導層1枚当りのタブの数であってもよい。例えば、1つのグループの導層1つのタブしか有さないが、他のグループの導層は2つのタブを有し、更に別のグループの導層は3つかそれより多数のタブを有してもよい。これらのグループの夫々が設けられて所望の余裕度及び所望の電圧レベル接続状態が満足されるものであってもよい。しかしながら、第1図から第4図に示されるような2つの導層のグループしか設けられず、各導層が2つのタブしか有さない場合が最も好ましい。

多層キャパシタ10は図中36で表わされる付加的金属部を更に有し、この付加的金属部36は図示しない基板へキャパシタ10をつなぐために各アイランド34の上に設けられている。第4図において、付加的金属部36はボール制限金属部

38とはんだボール部40とから成っている。

第9図には付加的金属部36の別の例が示されている。図中、各はんだパッド42は各アイランド34を被っている(第9図には1つの付加的金属部36しか示されないが、実際は複数設けられている。)

各アイランド34を形成する金属(メタルジー)は複数の材料から成るものでもよい。例えば、クロム層(700Å)、銅層(4300Å)、及びクロム層(200Å)の順の積層体でもよい。クロムの単一層(1500Å)でもよい。第9図の例では、クロム層(700Å)、銅層(4300Å)、及び金属(1000Å)であることが好ましい。ボール制限金属部については、クロム層(1600Å)、銅層(4300Å)、及び金属(1000Å)が好ましい。必要であれば、アイランドとボール制限金属部においてクロム層と銅層との間で共推積されたクロム及び銅の層であってもよい。この共推積はクロム層と銅層との接着性を良くする。

第5図には別の実施例が示されている。キャパシタ110は第1図から第4図のキャパシタ10と同様に、導電プレート部と非導電シート部とを有する複数の層層を備え、タブ20と金属のアイランド34を備えている。しかし、キャパシタ110は、更に、少なくとも1つのタブ43を有し、このタブ43は導電プレート部114の各々の対向（反対）縁部45に向って突出している。キャパシタ110は更に金属のアイランド46を有し、アイランド46は反対側タブ43と選択的に結合している。

第6図には第5図のキャパシタ110の変形例が示されている。第6図のキャパシタ120も少なくとも1つのタブ43を有し、タブ43は導電プレート部122の各々の反対側縁部45に向って突出している。しかし、キャパシタ120は、導電プレート部122の各縁部32、45が少なくとも1つのタブを有し、これらのタブが縁部32側のものと縁部45側のものとが鏡像関係を有するように、構成されている。即ち、タブ43は

に過ぎない。こうして、キャパシタ110、120を付加的金属部36を用いて基板上に設置してもよく、一旦設置してから、付加的金属部48を試験用にしてもよい。

付加的金属部はクロム層（1600Å）、銅層（4300Å）及び金層（1000Å）の積層であってもよい。クロム層と銅層との間で共析が進行されてもよい。付加的金属部48を設けずにアイランド46を直接に用いて試験を行ってもよい。

隣接する導電プレート部14の間の非導電シート部16の厚さは均一であることが好ましい。但し、各アイランド34の間では非導電シート部50は厚くなっている方がよい。これは層層グループ間に付加的な非導電シート（複数板）を介挿させることによって実行してもよい。このようにする事の目的は、隣接アイランド間を確実に絶縁する事である（第7図参照）。

第7図において、アイランドの縁50は互い違いになっている。タブ列と直交する方向に沿って

特開平2-256216 (7)

タブ20の鏡像である。金属のアイランドについては、キャパシタ110の対向する側のアイランド34、46はタブの選択された鏡像を結ぶ。

第5図か第6図の実施例かの選択は製造上及び組み立ての観点から、先ず、決められる。

キャパシタ110、120もまた、各アイランド34の上に付加的金属部36を有していてもよい。例えば、キャパシタ110、120は、第1図から第4図に関連して述べたように、ボール制限金属部及びはんだボールから成るものであってもよい。両側に設けられた付加的金属部36によれば、キャパシタ110、120の向きにかかわらず、基板（図示せず）への接続ができる。即ち、キャパシタ110、120の頂部あるいは底部が基板に結合されてもよい。変わって、第5及び6図に示されるように、キャパシタ110、120の片側についてだけキャパシタを基板につなぐための付加的金属部36が設けられ、キャパシタ110、120の反対側の付加的金属部48はキャパシタの試験用プローブの配置用の単なるパッド

キャパシタの表面を這みながら、アイランドは最後（端）のタブに接触した後に終了している。隣接列のアイランドは異なる点で終了しており、こうして互い違いの構造になる。こうして、各列のアイランド間の分離量が最大になるように、アイランドにより最大数のタブが結合される。

第8図には更に別の実施例が示されている。このキャパシタ210では、各導電プレートは分離された独立のセグメント52、54に分けられる。セグメントの数は2つでなくてもよい。各セグメントは同形でも異形でもよい。各セグメントは共通エッジ（縁）56から突出する少なくとも1つのタブを有している。第8図において、各導電プレート部52、54はエッジ56上に2つのタブを有している。少なくとも2つのタブを有する事が冗長性を持たせる上で必要あるいは好ましい。

冗長性を持たせる必要がないのであれば、導電プレート当たり唯1つのタブを有するものでもよい。導電プレートの反対側のエッジ58に更に別のタブが設けられてもよい。各導電プレートを2つか

特開平2-256216 (8)

それ以上のセグメントに分けることの利点は、タブの横方向の密集を遅けながら、必要な電源レベルを設ける上での柔軟性を増すことである。第8図の実施例では、セグメントに分けられた導電プレートとセグメントに分けられない導電プレートとが交互になっている。第8図にはほんの一例が示されているに過ぎない。連続する導電プレート部の各々もまた分割されていてもよい。セグメント化されたプレートとセグメント化されていないプレートとがこれ以外の所定の配列で組み合わせられていてもよく、最終的配列は製造の簡便化の必要性や接続しようとする電圧の数に依存する。

第10図には更に別の実施例が示されている。図中、多層キャパシタ10はセラミック基板60に接続されて電子部品が構成されている。多層キャパシタ10は第1図～第4図の構成に限らない。セラミック基板60は表面上にパッド62を有し、パッド62は多層キャパシタ10の如き電子部品をボンディングさせるためのものである。多層キャパシタはタブの選択されたグループに結合する

本発明の多層キャパシタを、既述のように全面的アイランド端子やはんだボールにより、多層セラミック基板と結合させてもよい。キャパシタをワイヤ・ボンディングにより基板表面にマウントしてもよい。キャパシタはプリント回路ボードのようなポリマーあるいは有機材基板に結合してもよい。

F. 発明の効果

以上のように本発明によれば、2以上の電源レベルにつなぐことが可能でありながら、タブが横方向に密集することがなく、高導、低インダクタンス、低抵抗なキャパシタを提供できる。

金属のアイランド34を有し、更に、各アイランド34上に付加的金属部36を有し、付加的金属部36は、この実施例では、はんだパッド42を有し、パッド42はアイランド34を被覆している。付加的金属部36、即ち、はんだパッド42は第9図のものと同じである。はんだパッド42をセラミック基板60のパッド60と接触させて加熱してはんだパッド42を融かすことにより多層キャパシタ10と基板60とを結合する。

従来は、基板60上の各パッド62が基板の単一のビアに接続されたが、本発明では、基板60とキャパシタ10との間の広い接触面積のために、はんだパッド62は少なくとも2つのビア64及び66に接続され得る。複数のビアが各パッドに結合され得ると、基板の配線に余裕度が増し、電子部品の全体の動作も良くなる。

そのような全面的アイランド端子は基板のアイランドと直接結合し、複雑な相互配線の抵抗を低減させる。接続がはんだボールを通じて行なわれるときも抵抗は低減される。

4. 図面の簡単な説明

第1図は本発明に係る多層キャパシタの一実施例の斜視図、

第2図は他の実施例の斜視図、

第3図は第1図の実施例の分解斜視図、

第4図は第1図の実施例の側面図、

第5図及び第6図は互いに異なる前記以外の実施例の側面図

第7図は第1の実施例の拡大平面図、

第8図は前記以外の実施例の側面図、

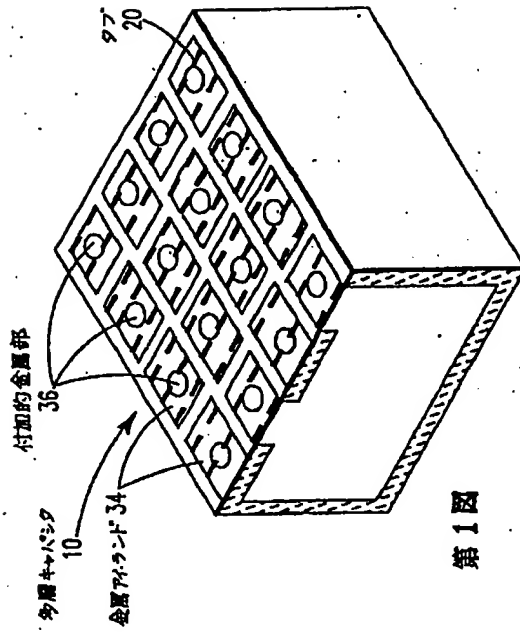
第9図は前記以外の実施例の部分的斜視図、

第10図は本発明に係る電子部品構造体の一実施例の部分的正面図である。

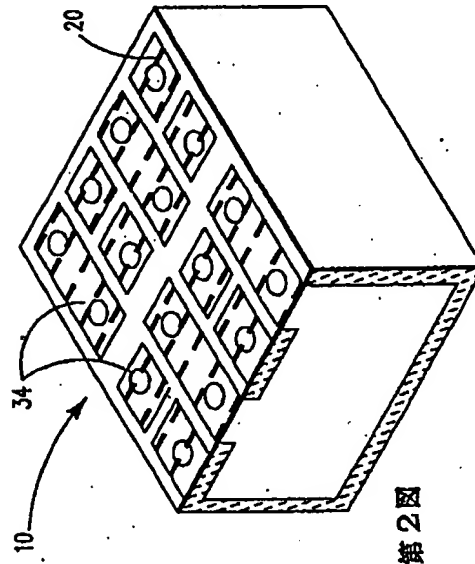
10、110、120、210……多層キャパシタ、

14……導電プレート部、16……非導電シート部、20、30、31……タブ、

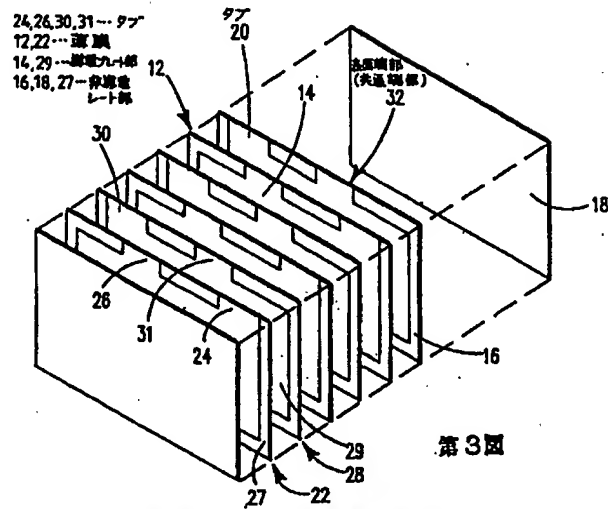
特開平2-256216 (9)



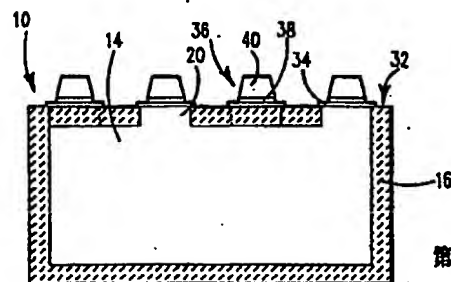
第1図



第2図

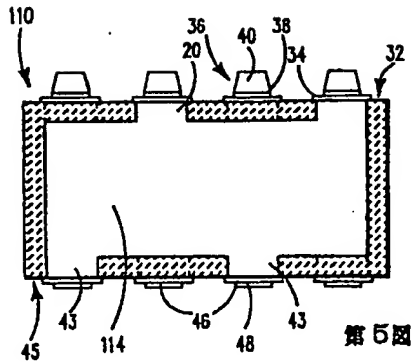


第3図

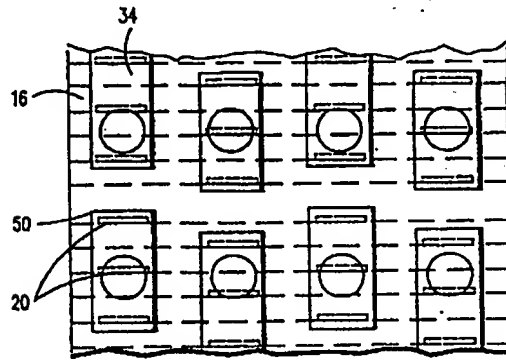


第4図

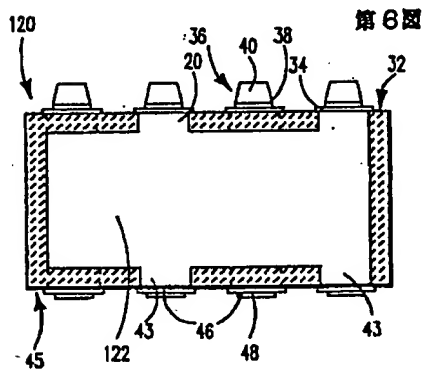
特開平 2-256216 (10)



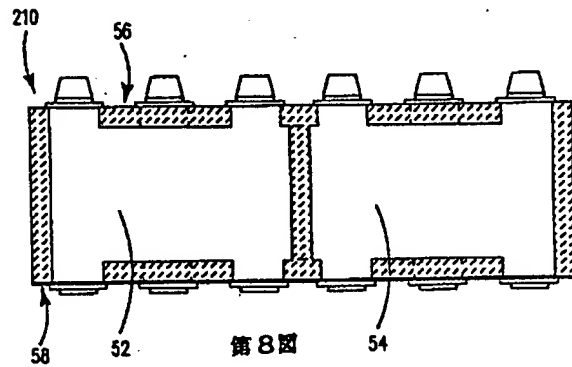
第 5 圖



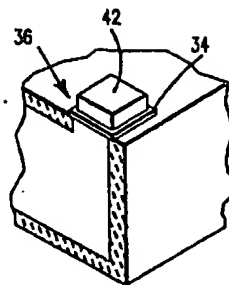
第 7 圖



第 6 圖

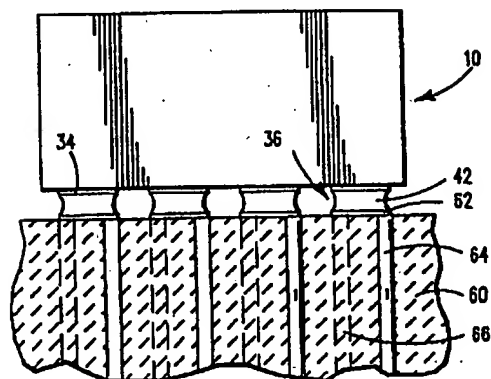


第 8 圖



第 9 圖

第 10 圖



特開平2-256216 (11)

第1頁の続き

- | | | |
|------|-------------------------|---|
| ⑫発明者 | シン・ウ・シーング | アメリカ合衆国ニューヨーク州ホープウエル・ジャンクシ
ョン、アンソニー・コート4番地 |
| ⑬発明者 | ホーマーズヤー・ミノ
ーチャー・ダーレル | アメリカ合衆国ニューヨーク州ワッピンガーズ・フォール
ズ、アンハースト・レーン37番地 |
| ⑭発明者 | ロバート・アンダーソ
ン・ミラー | アメリカ合衆国ニューヨーク州ワールデン、ベリイー・ロ
ード432エー番地 |
| ⑮発明者 | フランク・アルフレッ
ド・モンテガリ | アメリカ合衆国ニューヨーク州ワッピンガーズ・フォール
ズ、ヴァン・ボーヒズ・テラス(番地なし) |
| ⑯発明者 | ジエームズ・マイケ
ル・オーバーチミツズ | アメリカ合衆国ニューヨーク州スタンフォードヴイレ、ウ
エンドオーバー・ロード、ボックス347エイチ、アール・
アール1番地 |
| ⑰発明者 | デヴィッド・ティンゲ
リング・シエン | アメリカ合衆国ニューヨーク州ボキブシイー、ボリノ・ド
ライブ17番地 |